

1/1 JAPIO - (C) JPO

PN - \*\*\*JP 10055960\*\*\* A 19980224 [\*\*\*JP10055960\*\*\*]

TI - METHOD OF CONVERTING MATERIAL IN AMORPHOUS SEMICONDUCTOR STATE  
INTO

MATERIAL IN POLYCRYSTALLINE SEMICONDUCTOR STATE

IN - TORISU BOUTOSASU; TATSUO NAKATO

PA - SHARP CORP

AP - JP08696497 19970404 [1997JP-0086964]

PR - US96 14899 19960405 [1996US-P014899]

- US96 653258 19960524 [1996US-0653258]

IC1 - H01L-021/20

IC2 - H01L-021/265 H01L-029/786 H01L-021/336

AB - PROBLEM TO BE SOLVED: To provide a method of forming a polycrystalline silicon film in a time shorter than that required for forming the silicon film in a conventional method and at a comparatively low temperature of 600 deg.C or lower.

- SOLUTION: A substantially amorphous film 2 of the material of a substrate 1 is deposited on it, then, the amorphous material is partially crystallized to form grains, which consist of a microcrystalline material, and non-crystallized regions, where are adjacent to the grains, in the film. Moreover, ions of a conductivity type and a kind, which are previously selected, are implanted in the film at an energy amount and a dose, which are previously selected, to eliminate the previously selected grains out of the grains consisting of the microcrystalline material and moreover, the non-crystallized regions are turned amorphous. Lastly, the film is annealed to form a material which is at least substantially in a polycrystalline state. An induction process is also performed as one part of a process of partially crystallizing and microcrystalline silicon grains are formed by heating the film extending over a previously selected induction time.

- COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-55960

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/20		H 0 1 L	21/20
	21/265			21/265
	29/786			29/78
	21/336			Q
				6 1 8 A
				6 2 7 G

審査請求 未請求 請求項の数33 O L (全 9 頁)

(21) 出願番号 特願平9-86964

(22) 出願日 平成9年(1997) 4月4日

(31) 優先権主張番号 60/014, 899

(32) 優先日 1996年4月5日

(33) 優先権主張国 米国 (U S)

(31) 優先権主張番号 08/653, 258

(32) 優先日 1996年5月24日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 トリス ポウトサス  
アメリカ合衆国 ワシントン 98607, カ  
マス, エスイー 168ディーエイチ アベ  
ニュー 3100

(72) 発明者 タツオ ナカト  
アメリカ合衆国 ワシントン 98664, パ  
ンクーバー, エスイー 12ディーエイチ  
ストリート 9501

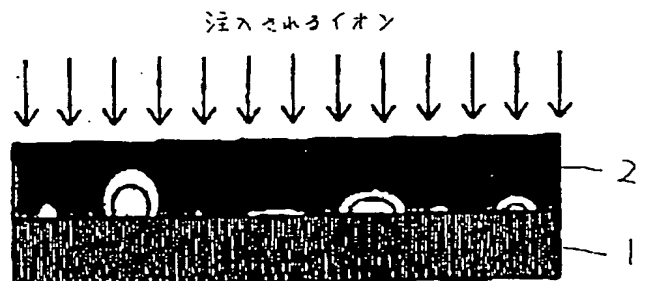
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アモルファス半導体状態の物質を多結晶半導体状態の物質に変換する方法

(57) 【要約】 (修正有)

【課題】 従来の方法よりも短い時間で且つ600℃以下の比較的低い温度で多結晶シリコン膜を形成する方法を提供すること。

【解決手段】 基板上に、その材料の実質的にアモルファス状態の膜を堆積し、次に、アモルファス材料を部分的に結晶化して、微結晶材料の粒子とそれに隣接する非結晶化領域とを膜内に形成する。さらに、予め選択された導電型および種類のイオンを予め選択されたエネルギーおよびドーズ量で膜中に打ち込んで、微結晶材料の粒子のうち、予め選択された粒子を排除し、さらに非結晶化領域をアモルファス化する。最後に、膜をアニールして、少なくとも実質的に、多結晶状態の物質を形成する。部分的に結晶化する工程の一部として誘導工程も行われ、予め選択された誘導時間にわたって膜を加熱することにより微結晶シリコン粒子を形成する。



## 【特許請求の範囲】

【請求項 1】 アモルファス状態の物質を含む膜から多結晶半導体状態の物質を形成する固相結晶化方法であって、  
基板上に、実質的にアモルファス状態の物質の膜を堆積する工程と、  
該アモルファス状態の物質中における結晶の形成を調整する工程と、  
該膜をアニールして、調整された多結晶状態の物質を少なくとも実質的に形成する工程と、を含む方法。

【請求項 2】 前記調整する工程は、  
前記アモルファス状態の物質を部分的に結晶化して、非結晶化状態の物質の粒子の領域に隣接する微結晶状態の物質の粒子の領域を、前記膜内に形成する工程と、  
該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、該微結晶状態の物質の粒子のうち予め選択された粒子を選択的に排除し更に該非結晶化領域をアモルファス化する工程と、を含む、請求項 1 に記載の方法。

【請求項 3】 前記アモルファス状態の物質としてシリコンを選択する工程をさらに含む、請求項 2 に記載の方法。

【請求項 4】 前記打ち込む工程は、シリコンイオンおよびゲルマニウムイオンからなる群よりイオンを選択すること、シリコンイオンの場合は約  $100\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  未満の予め選択されたドーズ量を用いること、およびゲルマニウムの場合は  $200\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  以下の予め選択されたドーズ量を用いることにより行われる、請求項 2 に記載の方法。

【請求項 5】 前記打ち込む工程は、シリコンイオンおよびゲルマニウムイオンからなる群よりイオンを選択すること、シリコンイオンの場合は約  $100\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  未満の予め選択されたドーズ量を用いること、およびゲルマニウムの場合は  $200\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  以下の予め選択されたドーズ量を用いることにより行われる、請求項 3 に記載の方法。

【請求項 6】 プロセス温度を  $600^\circ\text{C}$  以下に制御する工程をさらに含む、請求項 3 に記載の方法。

【請求項 7】 プロセス温度を  $600^\circ\text{C}$  以下に制御する工程をさらに含む、請求項 5 に記載の方法。

【請求項 8】 前記部分的に結晶化する工程の一部として行われる誘導工程をさらに含み、該誘導工程は、予め選択された誘導時間にわたって前記膜を加熱することにより微結晶シリコン粒子を形成する、請求項 7 に記載の方法。

【請求項 9】 前記誘導する工程は、約  $8.5 \sim 9.0$  時間の範囲で、前記膜を  $600^\circ\text{C}$  で加熱することを含む、請求項 8 に記載の方法。

【請求項 10】 前記部分的に結晶化する工程は、約  $12 \sim 15$  時間の範囲で、前記膜を  $600^\circ\text{C}$  で加熱することを含む、請求項 9 に記載の方法。

【請求項 11】 アモルファス状態の物質を含む膜から多結晶半導体状態の物質を形成する固相結晶化方法であって、  
基板上に、実質的にアモルファス状態の物質の膜を堆積する工程と、  
該アモルファス状態の物質中における結晶の形成を開始する工程と、  
予め選択された時間の後、該結晶の形成を中止する工程と、  
該膜をアニールして、少なくとも実質的に多結晶状態の物質を形成する工程と、を含む方法。

【請求項 12】 前記開始する工程は、前記アモルファス状態の物質を部分的に結晶化して非結晶化状態の物質の粒子の領域に隣接する微結晶状態の物質の粒子の領域を、前記膜内に形成する工程を含み、  
該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、該微結晶状態の物質の粒子のうち予め選択された粒子を選択的に排除し更に該非結晶領域をアモルファス化する工程をさらに含む、請求項 11 に記載の方法。

【請求項 13】 前記アモルファス材料としてシリコンを選択する工程をさらに含む、請求項 12 に記載の方法。

【請求項 14】 アモルファス状態の材料を含む膜から多結晶材料の半導体膜を形成する結晶化方法であって、  
基板上に、実質的にアモルファスである材料の膜を堆積する工程と、  
前記アモルファス材料を部分的に結晶化して、非結晶化材料粒子の領域に隣接する微結晶材料粒子の領域を、前記膜内に形成する工程と、  
該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、微結晶材料粒子のうち予め選択された粒子を選択的に排除し更に該非結晶化領域をアモルファス化する工程と、  
該膜をアニールして、少なくとも実質的に多結晶材料を形成する工程と、を含む方法。

【請求項 15】 前記アモルファス材料としてシリコンを選択する工程をさらに含む、請求項 14 に記載の方法。

【請求項 16】 前記打ち込む工程は、シリコンイオンおよびゲルマニウムイオンからなる群よりイオンを選択すること、シリコンイオンの場合は約  $100\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  未満の予め選択されたドーズ量を用いること、およびゲルマニウムの場合は  $200\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  以下の予め選択されたドーズ量を用いることにより行われる、

請求項 15 に記載の方法。

【請求項 17】 プロセス温度を  $600^{\circ}\text{C}$  以下に制御する工程をさらに含む、請求項 15 に記載の方法。

【請求項 18】 プロセス温度を  $600^{\circ}\text{C}$  以下に制御する工程をさらに含む、請求項 16 に記載の方法。

【請求項 19】 前記部分的に結晶化する工程の一部として行われる誘導工程をさらに含み、該誘導工程は、予め選択された誘導時間にわたって前記膜を加熱することにより微結晶シリコン粒子を形成する、請求項 18 に記載の方法。

【請求項 20】 前記誘導する工程は、約  $8.5 \sim 9.0$  時間の範囲で、前記膜を  $600^{\circ}\text{C}$  で加熱することを含む、請求項 19 に記載の方法。

【請求項 21】 前記部分的に結晶化する工程は、約  $12 \sim 15$  時間の範囲で、前記膜を  $600^{\circ}\text{C}$  で加熱することを含む、請求項 20 に記載の方法。

【請求項 22】 薄膜トランジスタ (TFT) の分野において、アモルファス状態の材料を含む膜から多結晶材料の TFT 半導体膜を形成する方法であって、  
基板上に実質的にアモルファスである材料の膜を堆積する工程と、  
前記アモルファス材料を部分的に結晶化して、非結晶化材料粒子の領域に隣接する微結晶材料粒子の領域を、前記膜内に形成する工程と、  
該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、微結晶材料粒子のうち予め選択された粒子を選択的に排除し更に該非結晶領域をアモルファス化する工程と、  
該膜をアニールして、少なくとも実質的に多結晶材料を形成する工程と、を含む方法。

【請求項 23】 前記打ち込む工程は、シリコンイオンおよびゲルマニウムイオンからなる群よりイオンを選択すること、シリコンイオンの場合は約  $100\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  の予め選択されたドーズ量を用いること、およびゲルマニウムの場合は  $200\text{ keV}$  未満のエネルギー量で  $1 \times 10^{16}\text{ cm}^{-2}$  の予め選択されたドーズ量を用いることにより行われる、請求項 22 に記載の方法。

【請求項 24】 プロセス温度を  $600^{\circ}\text{C}$  以下に制御する工程をさらに含む、請求項 22 に記載の方法。

【請求項 25】 プロセス温度を  $600^{\circ}\text{C}$  以下に制御する工程をさらに含む、請求項 23 に記載の方法。

【請求項 26】 前記部分的に結晶化する工程の一部として行われる誘導工程をさらに含み、該誘導工程は、予め選択された誘導時間にわたって前記膜を加熱することにより微結晶シリコン粒子を形成する、請求項 25 に記載の方法。

【請求項 27】 前記誘導する工程は、約  $8.5 \sim 9.0$  時間の範囲で、前記膜を  $600^{\circ}\text{C}$  で加熱することを含む、

む、請求項 26 に記載の方法。

【請求項 28】 前記部分的に結晶化する工程は、約  $12 \sim 15$  時間の範囲で、前記膜を  $600^{\circ}\text{C}$  で加熱することを含む、請求項 27 に記載の方法。

【請求項 29】 TFT 装置のアクティブ層であって、基板上に実質的にアモルファス状態の物質の膜を堆積し、該アモルファス状態の物質中における結晶の形成を調整し、該膜をアニールして、調整された多結晶状態の物質を少なくとも実質的に形成することにより形成されるアクティブ層。

【請求項 30】 前記調整することは、前記アモルファス状態の物質を部分的に結晶化して、非結晶化状態の物質の粒子の領域に隣接する微結晶状態の物質の粒子の領域を、前記膜内に形成することと、該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、該微結晶状態の物質の粒子のうち予め選択された粒子を選択的に排除し更に該非結晶化領域をアモルファス化することと、を含む、請求項 29 に記載のアクティブ層。

【請求項 31】 前記アモルファス状態の物質としてシリコンを有する、請求項 30 に記載のアクティブ層。

【請求項 32】 TFT 装置のアクティブ膜であって、基板上に、実質的にアモルファスである材料の膜を堆積し、前記アモルファス材料を部分的に結晶化して、非結晶化材料粒子の領域に隣接する微結晶材料粒子の領域を、前記膜内に形成し、該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、該微結晶材料粒子のうち予め選択された粒子を選択的に排除し更に該非結晶化領域をアモルファス化し、該膜をアニールして少なくとも実質的に多結晶材料を形成することにより形成される、アクティブ層。

【請求項 33】 前記アモルファス材料としてシリコンを有する、請求項 32 に記載のアクティブ層。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、概して、シリコンのような多結晶半導体状態の物質または材料を形成する方法に関し、特に、アクティブマトリクス液晶ディスプレイ用の薄膜トランジスタ (TFT) として使用可能な低温多結晶シリコン膜の製造に関する。

【0002】

【従来の技術】 アモルファスシリコン (a-Si) 膜の固相結晶化 (SPC) は、典型的には比較的高い温度と比較的長い結晶化時間を要する。SPC 膜の粒径は、典型的には約  $0.3 \sim 0.5\text{ }\mu\text{m}$  の範囲にある。

【0003】 このような膜の粒径を大きくすることが望ましく、イオン打ち込み (implantation) を含む、いくつかの提案がなされている。しかし、このような従来のア

ブローチは、非実用的であり且つ商業的に受容不可能な長い結晶化時間という結果につながるため、満足できないものであった。

【0004】膜のアニール時の結晶化の速度を増加させることも望ましい。このようなより高い速度を達成するための従来のアプローチは、結晶化プロセス全体において、堆積したままのアモルファスシリコン膜内にいわゆるシーズを形成することを提案している。しかし、このようなアプローチは、堆積したままのアモルファスシリコン膜の場合、約20オングストローム／分未満の範囲の比較的低い堆積速度を要し、このことがスループットを商業的に受容不可能なレベルに制限する。

【0005】今日まで、比較的高速の結晶化と低温とを組み合わせ、且つ多結晶シリコン膜内の結晶化されたシリコン粒子が比較的大きな粒径を有する、半導体結晶化方法は提案されていない。望ましい、比較的高速の結晶化とは、厚み1000オングストロームのシリコン膜の場合、600℃で36時間未満であり、より好適には20時間未満の範囲である。

【0006】

【発明が解決しようとする課題】粒径を大きくするために従来なされている、イオン打ち込みを含むいくつかの提案は、非実用的であり且つ商業的に受容不可能な長い結晶化時間という結果につながるため、満足できないものであった。

【0007】膜アニール時の結晶化の速度を増加させるために従来なされている、堆積したままのアモルファスシリコン膜内にいわゆるシーズを形成するというアプローチも、約20オングストローム／分未満の範囲の比較的低い堆積速度を要し、その結果、スループットが商業的に受容不可能なレベルに制限される。

【0008】従って、本発明の主な目的は、従来の方法の欠点および／または非実用性を克服することである。

【0009】本発明の他の目的は、従来の方法よりも短い時間且つ600℃以下の温度で、結晶化を完了するアニール工程を含む、多結晶シリコン膜形成方法を提供することである。

【0010】本発明の更に他の目的は、約0.5μmを越える比較的大きな粒径の多結晶シリコン膜を形成する方法を提供することである。

【0011】本発明の更に他の目的は、比較的均一な粒径分布を有する多結晶シリコン膜を形成する方法を提供することである。

【0012】本発明の更に他の目的は、比較的狭い粒径分布範囲を有する、多結晶シリコン膜を形成する方法を提供することである。

【0013】本発明の更に他の目的は、商業的にコストパフォーマンスがよくなり得る多結晶シリコン膜形成方法を提供することである。

【0014】

【課題を解決するための手段】簡単に述べると、本発明の一面は、アモルファス状態の物質を含む膜から多結晶半導体状態の物質を形成する固相結晶化方法に関する。上記方法は、基板上に、実質的にアモルファス状態の物質の膜を堆積する工程と、該アモルファス状態の物質中における結晶の形成を調整する工程と、該膜をアニールして、調整された多結晶状態の物質を少なくとも実質的に形成する工程とを含む。

【0015】前記調整する工程は好適には、前記アモルファス状態の物質を部分的に結晶化して、非結晶化状態の物質の粒子の領域に隣接する微結晶状態の物質の粒子の領域を、前記膜内に形成する工程と、該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、該微結晶状態の物質の粒子のうち予め選択された粒子を選択的に排除し更に該非結晶化領域をアモルファス化する工程とを含む。

【0016】本発明の別の局面は、アモルファス状態の物質を含む膜から多結晶半導体状態の物質を形成する固相結晶化方法に関する。上記方法は、基板上に、実質的にアモルファス状態の物質の膜を堆積する工程と、該アモルファス状態の物質中における結晶の形成を開始する工程と、予め選択された時間の後、該結晶の形成を中止する工程と、該膜をアニールして、少なくとも実質的に多結晶状態の物質を形成する工程とを含む。

【0017】前記開始する工程は好適には、前記アモルファス状態の物質を部分的に結晶化して非結晶化状態の物質の粒子の領域に隣接する微結晶状態の物質の粒子の領域を、前記膜内に形成する工程を含み、上記方法は、該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、該微結晶状態の物質の粒子のうち予め選択された粒子を選択的に排除し更に該非結晶領域をアモルファス化する工程をさらに含む。

【0018】本発明の更に別の局面は、アモルファス状態の材料を含む膜から多結晶材料の半導体膜を形成する結晶化方法に関する。上記方法は、基板上に、実質的にアモルファスである材料の膜を堆積する工程と、前記アモルファス材料を部分的に結晶化して、非結晶化材料粒子の領域に隣接する微結晶材料粒子の領域を、前記膜内に形成する工程と、該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、微結晶材料粒子のうち予め選択された粒子を選択的に排除し更に該非結晶化領域をアモルファス化する工程とを含む。本明細書において、アモルファス化とは、結晶構造を切り離すことを意味する。最後に、該膜をアニールして、少なくとも実質的に多結晶材料を形成する。

【0019】上記方法は好適には、前記アモルファス状態の物質としてシリコンを選択する工程をさらに含む。

【0020】前記打ち込む工程は好適には、シリコンイオンおよびゲルマニウムイオンからなる群よりイオンを選択すること、シリコンイオンの場合は約100keV未満のエネルギー量で $1 \times 10^{15} \text{cm}^{-2}$ 未満の予め選択されたドーズ量を用いること、およびゲルマニウムの場合は200keV未満のエネルギー量で $1 \times 10^{15} \text{cm}^{-2}$ 以下の予め選択されたドーズ量を用いることにより行われる。

【0021】上記方法は好適には、プロセス温度を600℃以下に制御する工程をさらに含む。

【0022】上記方法はまた、前記部分的に結晶化する工程の一部として行われる誘導工程をさらに含み、該誘導工程は、予め選択された誘導時間にわたって前記膜を加熱することにより微結晶シリコン粒子を形成する。全体のプロセス温度は、好適には600℃である。

【0023】前記誘導する工程は好適には、約8.5～9.0時間の範囲で、前記膜を600℃で加熱することを含む。

【0024】前記部分的に結晶化する工程は好適には、約12～15時間の範囲で、前記膜を600℃で加熱することを含む。換言すると、部分的に結晶化する工程は、膜を8.5～9.0時間にわたって加熱することを含む誘導工程に加えて、約3.5～6.5時間にわたって膜を加熱することを含む。

【0025】本発明の更に別の局面は、薄膜トランジスタ(TFT)の分野において、アモルファス状態の材料を含む膜から多結晶材料のTFT半導体膜を形成する方法に関する。上記方法は、基板上に実質的にアモルファス材料を部分的に結晶化して、非結晶化材料粒子の領域に隣接する微結晶材料粒子の領域を、前記膜内に形成する工程と、該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、微結晶材料粒子のうち予め選択された粒子を選択的に排除し更に該非結晶領域をアモルファス化する工程と、該膜をアニールして、少なくとも実質的に多結晶材料を形成する工程とを含む。

【0026】本発明の更に別の局面は、TFT装置のアクティブ層であって、基板上に実質的にアモルファス状態の物質の膜を堆積し、該アモルファス状態の物質中における結晶の形成を調整し、該膜をアニールして、調整された多結晶状態の物質を少なくとも実質的に形成することにより形成されるアクティブ層に関する。

【0027】本発明の更に別の局面は、TFT装置のアクティブ膜であって、基板上に、実質的にアモルファスである材料の膜を堆積し、前記アモルファス材料を部分的に結晶化して、非結晶化材料粒子の領域に隣接する微結晶材料粒子の領域を、前記膜内に形成し、該膜中に、予め選択された導電型および種類のイオンを予め選択されたエネルギー量およびドーズ量で打ち込んで、該微結晶

材料粒子のうち予め選択された粒子を選択的に排除し更に該非結晶化領域をアモルファス化し、該膜をアニールして少なくとも実質的に多結晶材料を形成することにより形成される、アクティブ層に関する。

【0028】本明細書において、TFT膜とは、米国特許第5,391,508号、第5,395,804号、第5,403,756号、第5,054,887号、及び第4,991,939号に記載のTFT装置のような従来のTFT装置のアクティブ層を意味する。これらの米国出願は、参考のためここに援用される。

【0029】本発明の更に別の特徴は、イオン打ち込みおよびそれに続くアニールを介して、シーズの選択的縮小または実質的破壊により、部分的にアニールされたPECVDアモルファスシリコン膜の、より向上した結晶化を低温で行う方法である。

【0030】

【発明の実施の形態】本発明による多結晶シリコン膜形成方法は概して、固相結晶化プロセスの以下の4つのステップを含む。

【0031】<ステップ1>図1に模式的に示すように、プラズマ気相成長法(PECVD)により、ガラス基板1上にアモルファスシリコン膜2を堆積する。

【0032】<ステップ2>図2に模式的に示すように、アモルファスシリコン膜2中のアモルファスシリコンを部分的に結晶化または前アニールすることにより、微結晶シリコン粒子領域(白い気泡として表す)と、それに隣接する非結晶化シリコン粒子領域とを形成する。

【0033】<ステップ3>図3に模式的に示すように、ステップ2で得られた膜内に、予め選択された導電型および種類のイオンを、予め選択されたエネルギー量およびドーズ量で打ち込むことにより、微結晶シリコン粒子のうち予め選択された粒子を選択的に排除するか又は縮小させ(外側の線と内側の線との差により示す。すなわち、イオンを打ち込むことにより、小さい微結晶はなくなって、大きい微粒子は縮小する)、さらに、非結晶化シリコン粒子領域(図示せず)をアモルファス化する。

【0034】<ステップ4>図4に模式的に示すように、ステップ3で得られた膜をアニールすることにより、少なくとも実質的に結晶化を完了させ(外側の線と内側の線との差により示す。すなわち、後アニーリングによって、微結晶は、気泡の内側線で囲まれる大きさから外側線で囲まれる大きさまで成長する)、それにより、多結晶シリコン膜を形成する。

【0035】以下の記載から明らかになるように、ステップ2および3は、アモルファス状態の物質中における結晶の形成を調整する単一のステップとも考えられ得る。本明細書においては、半導体状態の物質または材料としてシリコンを用いるが、本発明は如何なる適切な半導体状態の物質にも適用できることを理解されたい。さらに、ステップ2は、アモルファス状態の物質中にお

る結晶の形成の開始とも考えられ得、その場合、以下に述べる予め選択された時間の後、結晶の形成が中止される。

【0036】以下、上記4つのステップをより詳細に述べる。ステップ2およびステップ3とを組み合わせることにより、結晶の特性および製造方法に対する必要要件に関して、ある種の所望の変更が達成される。すなわち、結晶化時間の短縮、結晶粒径の増加（約0.5～0.7  $\mu\text{m}$ の範囲内）、および結晶粒径の均一性に対する制御の向上が達成される。

【0037】所望の変更が達成されるか否かに影響を与えるパラメータは、(1) 前アニール温度（600℃以下）、(2) 前アニール時間、(3) 打ち込むイオンの種類、(4) 打ち込みエネルギー量、(5) 打ち込みドーズ量、および(6) アニール温度（すなわち、ステップ2において前アニールを行った後、ステップ4において行うアニールの温度、600℃以下）を含む。アニールステップ4は、以下の表1においては、後アニールと記載されている。上記に要約し且つ以下に詳細に述べる、

本発明による方法に含まれるステップにおいて、パラメータ(1)および(2)はステップ2に関し、パラメータ(3)～(5)はステップ3に関し、パラメータ(6)はステップ4に関する。フラットパネルディスプレイに用いる場合、基板はアルミナーホウケイ酸塩ガラスであるため、方法中のいずれのステップの温度も600℃以下に制限され、低ければ低いほど望ましい。薄膜堆積前の基板の予備処理には、市販のスルホン酸/過酸化物流体のような、いずれの適切なクリーニング材料をも用いることができる。

【0038】本発明を実施する際、ステップ2およびステップ4の両方、すなわち前アニールおよびアニールのステップにおいて、用いた温度は、600℃であった。これは、結晶化時間を、ある所望の予め選択された範囲内におさめるためである。温度を実質的に、ガラス基板がダメージを受けない上限の温度にしているのは、本発明の方法により達成すべき、温度の低下とは相反する目的があるからである。すなわち、ガラス基板はダメージを受けてはならない（600℃以下）が、温度は、商業的に有効な結晶化速度を達成するに十分高くなければならない（すなわち、温度が高ければ高いほど結晶化速度は上昇する）。本発明において、これらの2つの要素のバランスをとった結果、好適な温度の範囲は、約550℃以上且つ600℃以下である。結晶化のための予め選択された時間は、以下に示す変数(variable)によると12～15時間である。概して、前アニールステップの予め選択された時間範囲は、本発明のステップ2およびステップ3に記載される、前アニールおよびイオン打ち込みなしに結晶化されるコントロールサンプルのアニール時間の約30～35%と考えることができる。前アニールとアニール（ステップ2およびステップ4）の両方

を組み合わせた所望の時間は、36時間未満であり、好適には約24時間未満である。

【0039】上記ステップを行うために用いられる好適な装置に関しては、市販のいずれの装置も上記結果を達成する。このような装置の例は、参考のためここに援用する、上記の米国特許に記載されている。

【0040】<ステップ1—基板上へのアモルファスシリコン膜の堆積>好適な堆積方法は、350℃における、シラン( $\text{SiH}_4$ )ガスを用いるプラズマ気相成長法(PECVD)である。好適な基板は、アルミナーホウケイ酸ガラスである。なぜなら、アルミナーホウケイ酸ガラスが上述したフラットパネルディスプレイに適用するために現時点で最も有効だからである。フラットパネルディスプレイ装置に適用する場合、このような装置の製造方法における、いずれのステップの温度も600℃以下に制限される。方法の最適化は、600℃未満で且つできるだけ低い温度によって達成される。本発明の方法における、温度に関する好適は仕様は、前アニールステップとアニールステップの両方の温度を600℃に固定し、これにより結晶化を所望の時間（36時間未満、好適には約24時間未満）内におさめることである。

【0041】別の堆積方法は、(1) ジシラン( $\text{Si}_2\text{H}_6$ )ガスまたはシランガスと $\text{SiF}_4$ ガスとの混合物を用いたPECVD、(2) シラン、ジシラン、又はより高次元のシランのいずれかを用いて、実質的に純粋な形態、あるいは窒素ガス、水素ガス、ヘリウムガス又はアルゴンガス中で希釈された形態のいずれかで行う減圧化学蒸着法(LPCVD)、(3) シランを用いて、実質的に純粋な形態、あるいは窒素ガス、水素ガス、ヘリウムガス又はアルゴンガス中で希釈された形態で行う高速熱化学蒸着法(rapid thermal chemical vapor deposition, RTCVD)、および(4) シランまたはジシランを用い且つ高密度プラズマ源としてECRまたはヘリコン共鳴器(helicon resonator)を用いて行う高密度プラズマ蒸着法(HDPD)を含む。

【0042】<ステップ2—部分的結晶化/前アニール>部分的結晶化を達成するために、堆積したままのアモルファスシリコン膜を、流動窒素ガス雰囲気中において600℃の石英拡散炉内で、予め選択された以下の時間に亘って放置する。窒素ガスの流量は、このような炉内で通常用いられる量であってよい。別の加熱方法は、(1) 真空下での拡散炉の使用、(2) 高温且つ短時間（700℃で約1～2分）における高速熱アニール、(3) 低パワー（例えば200～250  $\text{mJ}/\text{cm}^2$ ）におけるレーザアニール、および(4) 高エネルギー量且つ高ドーズ量（例えば、250  $\text{keV}$ で $1 \times 10^{16} \text{cm}^{-2}$ ）における打ち込みを含む。

【0043】前アニール期間または時間は、図5を参照して選択した。図5のデータは、前アニールされた膜の

10

20

30

40

50

構造に対する前アニール時間の影響を示すために作成した。堆積したままのアモルファスシリコン膜の結晶フラクションは、名目上は (nominally) ゼロである。膜は、加熱されるにつれて相転移を経るため、結晶フラクションが増加する。しかし、図5に示すように、膜の加熱と膜の結晶フラクションの形成との間に線形関係はない。このことは、膜がある誘導(induction)時間を越える間加熱されない限り、所望の微結晶成長は起こらないことを示唆している。本発明の実施の際、以下に述べる特定のアモルファスシリコン膜の場合、好適な誘導サブステップは、600℃で約8.5～9.0時間行われることが判明した。この場合、誘導サブステップを含む前アニールステップは、約12～15時間の範囲で行われた。

【0044】<ステップ3-イオン打ち込み>膜内へのイオン注入または打ち込みは、微結晶シリコン粒子の選択的排除または縮小を達成し、さらに膜内の隣接する非結晶化領域をアモルファス化する。このような領域は、アモルファス領域を取り囲むとも考えられ得る。好適な種類のイオンは、シリコン(Si)またはゲルマニウム(Ge)であり、これらは以下の表に示す予め選択されたエネルギー量およびドーズ量で用いられる。シリコン膜へのSiまたはGeの追加は、膜の電気特性に悪影響を与えない。逆に、錫、アルミニウム、またはニッケルなどの他の金属元素の追加は、同一の効果をもたらし得るが、膜の電気的性能に望ましくない副作用(すなわち、高い漏れ電流)をももたらし得る。

【0045】本発明のイオン打ち込みは、結晶排除ステップとも考えられる。なぜなら、ステップ3のイオン打ち込みステップにおいて、微結晶粒子になっていない薄膜内のシリコンをアモルファス化するとき、結晶が排除されるからである。結晶を排除する他の方法は、照射またはビーム照射を含み得る。

【0046】打ち込みエネルギー量は、IBM Corporation \*

前アニール時間 (hr)	打ち込みイオンの種類	打ち込みエネルギー量 (keV)	打ち込みドーズ量 (cm <sup>-2</sup> )	Dr (%)	後アニール時間 (hr)	結晶時間 (hr)	特性 (nm)
15	Ge	160	1E14	-28.9	8	23	0.65
15	Ge	100	1E14	-26.2	8	23	0.83
15	Ge	100	1E13	290.6	3	18	0.70
15	Si	90	5E14	103.7	8	23	0.76
15	Si	40	5E14	-71.9	8	23	1.10
12	Ge	100	1E14	797.7	3	15	0.85
12	Si	90	5E15	-100.0	11	23	0.90
12	Si	90	5E14	59.1	8	20	0.85
12	Si	40	5E14	-77.3	11	23	0.98
-	-	-	-	-	36	36	0.60

【0050】(\*)  $Dr = 100 \times (r - r_0) / r_0$  であり、イオン打ち込みステップの前後における結晶フラクションの変化を示す。 $(r_0)$  は打ち込み前の結晶フラクションであり、 $(r)$  は打ち込み後の結晶フラクションである。Drの値が正(+)であることは、結晶フ

\* のTRIM<sup>TM</sup>シミュレーションソフトウェアのような市販の従来のシミュレーション技術を用いて、打ち込み誘導空格子のピークを、厚み100nmの膜の厚み方向の中央部またはこのような膜と下層のガラス基板との界面とのいずれかに位置づけるように選択された。打ち込まれた種類のイオンのドーズ量は、図6に示す理論に従って選択された。低ドーズの場合、部分的に結晶化された膜の結晶性に実質的な変化は起こらない。しかし、定量面から考えると、ドーズ量が増加すると、結晶性の変化が起こる。打ち込まれたイオンは、エネルギー源からの外部エネルギー付与を介してエネルギーを得ることにより、弱い結合を切り離す能力を得る。従って、打ち込まれたイオンは、アモルファス相においてSi原子どうしを連結しているような弱い結合を切り離すが、上記の部分的結晶化ステップ(ステップ2)において形成された微結晶粒子の微結晶クラスタにおいてSi原子どうしを連結しているような強い結合を切り離すことはできない。その結果、遊離Si原子がマイグレートして成長中の微結晶クラスタに結合し得るか、又は新しい粒子を形成することさえあり得る。

【0047】低ドーズ量の場合も高ドーズ量の場合も、打ち込み後、膜内の結晶フラクションは増加する。高ドーズ量の場合、最終的には強い結合の切り離しが開始され、その後広がっていく。その結果、打ち込み後の膜の結晶フラクションは、打ち込み前の膜の結晶フラクションよりも減少する。本発明の場合のドーズ量は、結晶性に対する上記の影響を利用するために、これらの一般的な理論から引き出した予想に基づいて選択された。

【0048】以下の表1は、プロセスパラメータおよび結晶特性に関する、ある発見を要約している。

【0049】

【表1】

ラクションが(打ち込みの結果)増加したことを示し、Drの値が負(-)であることは、結晶フラクションが減少したことを示す。

【0051】表1を参照すると、プロセスパラメータに適切な値を選択することにより、粒径などの結晶特性、



および結晶化時間の減少などの、方法に関する必要要件に、ある種の変化が達成され得ることがわかる。望ましい粒径の増加および結晶化時間の減少は、イオンを打ち込まれた膜の特性と表1の最下行に示すコントロールサンプル（イオンを打ち込まれていない）の特性とを比較することによって理解できる。

【0052】別のタイプの打ち込みは、錫、アルミニウム、またはニッケルなどの金属の使用を含むが、上述したように、これらの金属は膜の電気特性に望ましくない副作用（すなわち、高い漏電流）をもたらす傾向がある。

【0053】＜ステップ4－アニール＞好適なアニールは、実質的に完全な結晶化が起こるまで、約550～600℃の範囲の温度において石英拡散炉内で行われる。

【0054】別のアニール方法は、（1）高速熱アニール、（2）レーザアニール、および（3）プラズマアシステッドアニール(plasma-assisted anneal、ECRのような高濃度／高周波数プラズマを用いる)を含む。

【0055】本発明の方法は、低温の多結晶シリコン膜を形成することが望まれる、いかなる場合にも適用可能である。本発明の方法は、特に、アクティブマトリクス液晶ディスプレイ用の多結晶シリコンTFTに用いられる低温多結晶シリコン膜の形成に適用可能である。

【0056】

10

20

\*

\*【発明の効果】以上述べたように、本発明の方法によると、従来の方法よりも短い時間で且つ600℃以下の比較的低い温度で多結晶シリコン膜を形成することができる。

【図面の簡単な説明】

【図1】本発明による多結晶シリコン膜の製造方法において、PECVD法により、ガラス基板上にアモルファスシリコン膜を堆積する工程を示す図である。

【図2】図1のアモルファスシリコン膜を部分的に結晶化する工程を示す図である。

【図3】図2の、部分的に結晶化したアモルファスシリコン膜にイオンを打ち込む工程を示す図である。

【図4】図3の、イオンを打ち込まれた膜をアニールする工程を示す図である。

【図5】本発明による多結晶シリコン膜の製造方法において、前アニール時間と結晶フラクションとの関係を示すグラフである。

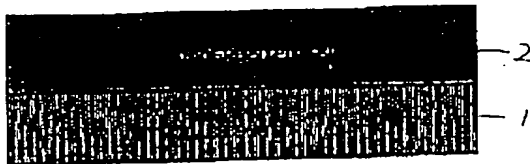
【図6】本発明による多結晶シリコン膜の製造方法において、打ち込むイオンのドーズ量を選択するための基礎となった理論を示す図である。

【符号の説明】

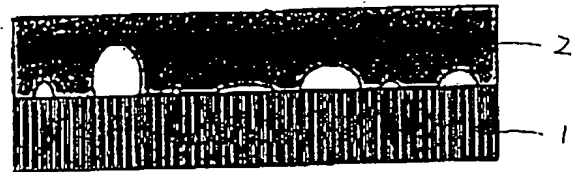
1 ガラス基板

2 アモルファスシリコン膜

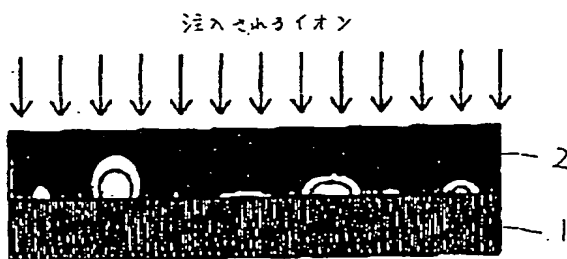
【図1】



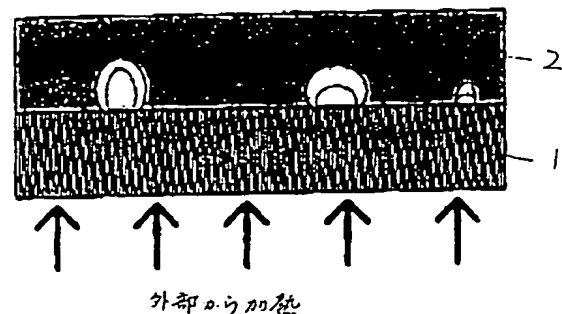
【図2】



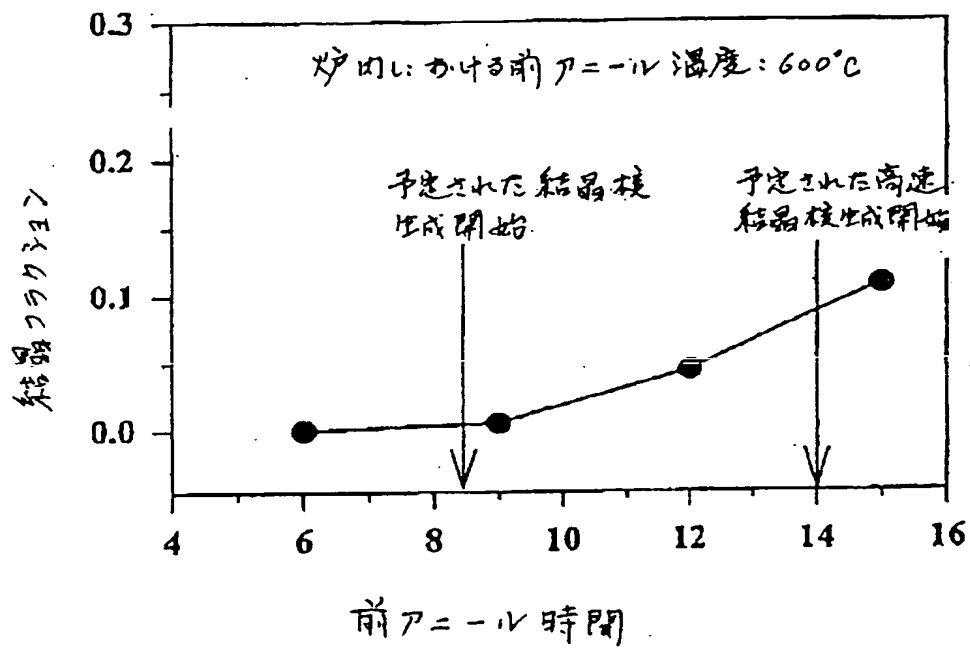
【図3】



【図4】



【図5】



【図6】

